

УДК 681.32

DOI: 10.32626/2308-5916.2019-19.101-107

Я. М. Николайчук*, д-р техн. наук,**Н. Я. Возна***, канд. техн. наук,**В. М. Грига****, канд. техн. наук,**Б. Б. Круліковський*****, канд. техн. наук,**А. Я. Давлетова***, асистент

*Тернопільський національний
економічний університет м. Тернопіль,

**Прикарпатський національний університет
імені В. Стефаника м. Івано-Франківськ,

***Національний університет водного господарства
та природокористування м. Рівне

ВИСОКОПРОДУКТИВНІ МАТРИЧНІ ТА ПОТОКОВІ ПЕРЕМНОЖУВАЧІ ЦИФРОВИХ ДАНИХ

Запропоновані алгоритми та структури високопродуктивних матрично-потоківих перемножувачів багаторозрядних двійкових чисел, в яких застосовні компоненти з мінімальними характеристиками часової, апаратної та структурної складності. Розроблений алгоритм матричного виконання операцій множення згідно структури перемножувача Брауна, який реалізує виконання операції додавання в однорозрядному повному двійковому суматорі та формування переносів за мінімальним досяжний інтервал часу — один мікротакт. Розроблений алгоритм та структура потоківих матричного перемножувача з високим рівнем розпаралелення обчислювальних операцій, в якому процеси завантаження кодів перемножуваних двійкових чисел відбуваються паралельно з процесами матричного перемноження та зчитування результатів множення у попередньому циклі. У порівнянні з відомими структурами потоківих перемножувачів дозволяють суттєво зменшити число входів/виходів мікроелектронних кристалів, які реалізують операції перемноження багаторозрядних двійкових чисел.

Ключові слова: *матрично-потоківі перемножувачі, паравозна структура Брауна, максимальна швидкодія, розпаралелення обчислювальних операцій.*

Вступ. Перемножувачі двійкових чисел є важливими компонентами арифметико-логічних пристроїв універсальних та спеціалізованих процесорів. При значній розрядності множників 32-512 біт такі перемножувачі застосовуються в універсальних комп'ютерах як швидкодіючі співпроцесори [1–4]. У сучасній обчислювальній техніці найширше

застосування отримали матричні перемножувачі з паралельним вводом та виводом даних, що суттєво знижує ефективність їх використання як потокові перемножувачі, які є базовими компонентами мультитядерних та систолічних процесорів [2]. Особливо негативно цей недолік проявляється при опрацюванні багаторозрядних двійкових кодів (1024–4096 біт) процесорами шифрування даних [4]. Крім того є практично недоцільним реалізація чіпів перемножувачів з вказаним числом виводів. Перспективним напрямком вирішення цієї проблеми є створення поточкових перемножувачів з високим рівнем розпаралелення обчислювальних операцій та біт-орієнтованою організацією вводу та виводу даних.

Дослідження структури та системних характеристик матричних перемножувачів. В матричних перемножувачах сумування здійснюється матрицею суматорів, які складаються із послідовних рядків однорозрядних суматорів із збереженням переносу. Найбільш відомими матричними перемножувачами є перемножувач Брауна з горизонтальним та вертикальним розповсюдженням переносу [1–3]. Перемножувачі, які побудовані за алгоритмами Бо-Вулі та Пезариса [1] для множення двійкових чисел в доповнюючих кодах та інші.

На рис. 1 показано матричний перемножувач для 4-ох розрядних двійкових чисел, в якому кожному стовпцю у матриці множення відповідає діагональ перемножувача. Схема відома, як перемножувач Брауна [1] або перемножувач з горизонтальним розповсюдженням переносу. Біти часткових добутків виду $(a_i b_j)$ формуються за допомогою елементів «І». Для сумування часткових добутків застосовуються два види однорозрядних суматорів із збереженням переносу: напівсуматори (НС) і повні суматори (СМ).

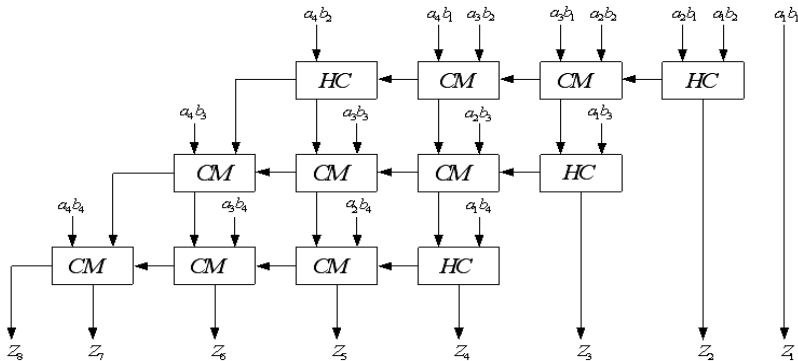


Рис. 1. Структура матричного перемножувача Брауна 4×4 з горизонтальним розповсюдженням переносу

Матричний перемножувач Брауна $(n \times n)$ складається з n^2 операцій логічного добутку та $(n^2 - n)$ — операцій однорозрядного

двійкового сумування. Для повного двійкового сумування потрібно $(n^2 - 2n)$ операцій, а для не повного сумування n операцій, де n — розрядність вхідних даних.

Для реалізації напівсуматора, який виконує операцію не повного двійкового сумування потрібно 5 логічних елементів (рис. 2, а) а для повного суматора, який виконує операцію повного двійкового сумування потрібно 11 логічних елементів (рис. 2, б).

Час розповсюдження вихідного переносу неповного суматора складає 1 мікротакт а повного 5 мікротактів, а час формування суми складає 3 мікротакти для неповного суматора і 6 мікротактів для повного суматора.

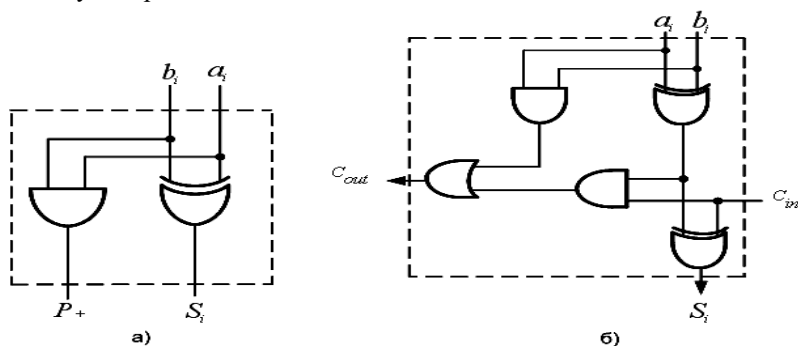


Рис. 2. Внутрішня структура однорозрядного суматора:
а — неповного; б — повного на елементах виключне АБО

Матричний перемножувач Брауна характеризується наступними системними характеристиками:

- швидкодія структури перемножувача визначається найбільш довгим маршрутом розповсюдження сигналу, що складає $(3n - 4)$ однорозрядних суматора, і розраховується згідно виразу $\tau_{МП} = 2\tau_{НС} + (3n - 6) \times \tau_{ПС}$, де $\tau_{НС}$, $\tau_{ПС}$ — відповідно часова складність (затримка сигналів) у структурі однофазного неповного та повного однорозрядного двійкового суматора;
- апаратна складність перемножувача визначається сумарною кількістю логічних елементів та вентилів у його структурі і розраховується згідно виразу: $A_{МП} = n \times A_{НС} + (n^2 - 2n) \times A_{ПС}$, де $A_{НС}$, $A_{ПС}$ — відповідно апаратна складність повного та неповного однорозрядного двійкового суматора;
- структурна складність перемножувача визначається зваженою сумою структурної складності його компонентів згідно виразу:

$S_{МП} = \sum_{i=1}^m \alpha_i S_i$, де α_i — онтологічна оцінка структурної складнос-

ті S_i -го компонента, m — кількість структурно-класифікованих компонентів [5].

Оцінка часової складності матричного перемножувача (рис. 1) розраховується з урахуванням горизонтальних затримок сигналів наскрізних переносів та вертикальних затримок сигналів при формуванні бітів суми. Тобто системні характеристики часової складності відомих однорозрядних двійкових суматорів (рис. 2) з горизонтальними (+) і вертикальними (s) інформаційними зв'язками відповідно складають:

$$\begin{aligned} \tau_{МП} &= 2\tau_{НС} + (3n - 6) \times \tau_{ПС} = \\ &= 2 \times 3 + (3 \times 4 - 6) \times 6 = 6 + (12 - 6) \times 6 = 42\nu. \end{aligned}$$

Оцінка апаратної складності матричного перемножувача (рис. 1) розраховується з урахуванням кількості логічних елементів, які містять однорозрядні двійкові суматори (рис. 2) і становить:

$$\begin{aligned} A_{МП} &= n \times A_{НС} + (n^2 - 2n) \times A_{ПС} = 4 \times 5 + (4^2 - 2 \times 4) \times 11 = \\ &= 20 + (16 - 8) \times 11 = 108 (\text{вентилів}). \end{aligned}$$

Оцінка структурної складності матричного перемножувача (рис. 1) становить $S_{МП} = 1026$ одиниць.

Недоліком матричного перемножувача Брауна є обмежені функціональні можливості та низька швидкодія, яка обумовлена тим, що базовий компонент матриці однорозрядних суматорів не містить парафазних входів та виходів, що потребує не менше $2 \div 3$ мікротакти часової затримки сигналів переносів і не дозволяє, у принципі, реалізувати відповідні вертикальні та горизонтальні переноси між виходами та входами однорозрядних суматорів з часовою затримкою 1 мікротакт.

Запропонована структура потокового матричного перемножувача багаторозрядних двійкових чисел на основі парафазних однорозрядних суматорів, яка показана на рис. 3.

В даній структурі потокового матричного перемножувача додатково введено матрицю однорозрядних повних суматорів з парафазними входами та виходами, що дозволило реалізувати інформаційні переноси між суматорами з гранично мінімальною затримкою сигналів на 1 мікротакт, а крім того підвищити регулярність структури матриці суматорів, що спрощує проектування та нарощення розрядності утилітів таких багаторозрядних пристроїв на реконфігурованих програмних кристалах ПЛІС.

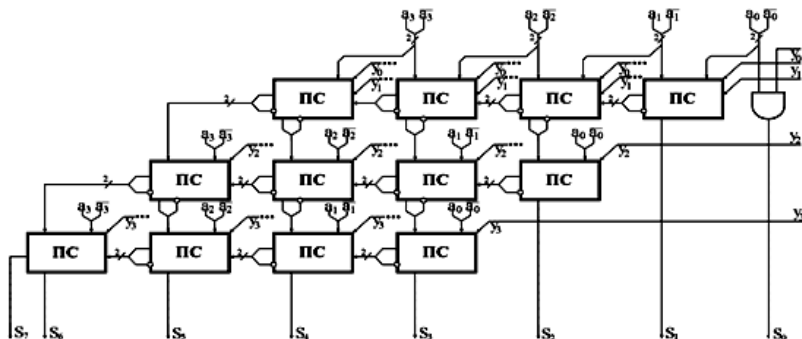


Рис. 3. Структура потокового матричного перемножувача на основі однорозрядних суматорів з парафазними входами і виходами

Розробка структури та компонентів потокового перемножувача багаторозрядних двійкових чисел. На рис. 4 подано структуру потокового перемножувача двійкових чисел. Перемножувач містить: вхідний регістр зсуву (R1), регістри пам'яті (R2, R3), матрицю одно розрядних двійкових суматорів (MC), вихідний регістр пам'яті та зсуву (R4), та логічний елемент “Виключаюче АБО” (ЛЕ).

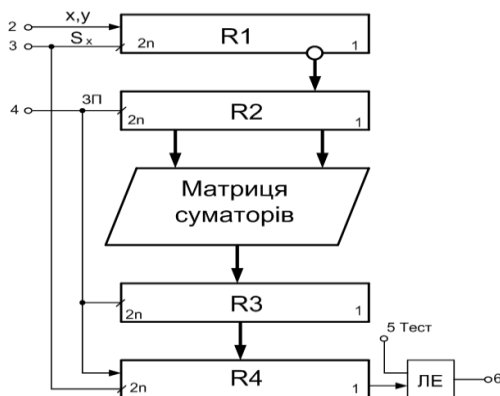


Рис. 4. Структура потокового перемножувача двійкових чисел

На даному рисунку: вхід 2 — біт-орієнтований ввід кодів множників x, y ; вхід 3 — тактова синхронізація зсувів R1 та R4; вхід 4 — запис даних у регістри R2-R4; вхід 5 — біт-орієнтований вхід тестового коду; вихід 6 — вихід біт-орієнтованого двійкового коду добутку x на y .

В потоковому перемножувачі регістр R1 виконує операцію перетворення n -розрядних біт-орієнтованих кодів множників x та y у паралельний пара фазний $2n$ -розрядний двійковий код. Часова складність $T_{\text{тгр}} = 2$ мікротакти, тобто занесення кодів (x, y) в регістр R1 здійсню-

ється за $4n$ мікротактів. Регістр R2 призначений для зберігання кодів множників на часовий інтервал занесення вхідних кодів (x, y) у регістр зсуву R1. Матриця однорозрядних повних парафазних суматорів MC виконує операцію перемноження кодів (x, y) на виході якої формується $2n$ -розрядний вихідний код добутку на інтервалі часу $k \times 2n$, де k — затримка сигналів формування наскрізних переносів та суми на виходах суматорів. Регістр R3 зберігає код добутку до кінця інтервалу зчитування прямих кодів добутків до завершення біт-орієнтованого зчитування добутків на виході перемножувача. Логічний елемент виключаюче АБО призначений для реалізації операції тестування безпомилковості роботи перемножувача. З метою контролю надійності роботи перемножувача на початку певного числа циклів здійснюється тестування правильності його роботи шляхом порівняння добутку заданих перемножувачів (x, y) з тестовим кодом добутку, який поступає на вхід 5 перемножувача. При цьому на виході 6 логічного елемента виключаюче АБО формується $2n$ — розрядний потік нулів, яка свідчить про безпомилковість виконання операції множення. На початку кожного циклу перемноження сигналом входу 4 здійснюється запис пара фазних кодів регістра R1 у регістр R2 та прямих кодів добутків регістра R3 у регістр R4. У наступному циклі роботи перемножувача сигналами синхронізації S_x входу 3 тактується занесення біт-орієнтованих кодів множників x та y у регістр R1. Одночасно цими сигналами тактується зчитування біт-орієнтованих кодів добутків на виході 6 пристрою. Одночасно з виконанням операцій вводу та виводу даних у матричній структурі суматорів MC здійснюється перемноження двійкових кодів x та y за 1 мікротакт. Регістри зсуву побудовані на основі D-тригерів.

Висновки. Виконано аналіз структурних схем матричних перемножувачів Брауна, потоково матричних та поточкових перемножувачів, досліджені системні характеристики часової, апаратної та структурної складності матричного перемножувача Брауна з горизонтальним розповсюдженням переносів на основі однорозрядних неповних та повних суматорів з однофазними входами та виходами. Відмічена принципова неможливість підвищення граничної швидкодії такого класу перемножувачів при застосуванні в матриці перемножувача однофазних суматорів. Відомі перемножувачі характеризуються також низькою потоковою швидкістю оскільки введення поточних кодів перемножувачів здійснюється тільки після завершення попереднього циклу перемноження. Запропонована нова структура поточкового перемножувача з високим рівнем розпаралелення операцій шляхом паралельного вводу, зчитування та перемноження цифрових даних. При цьому суттєво зростає інформаційна активність компонентів перемножувача на 1–2 порядки у порівнянні з відомими структурами.

Список використаних джерел:

1. Цилькер Б. Я., Орлов С. А. Организация ЭВМ и систем : учебник для вузов. Питер, 2006. 668 с.
2. Мельник А. О. Архітектура комп'ютера. Луцьк : Волинська обласна друкарня, 2008. 470 с.
3. Самофалов К. Г., Романкевич А. М., Валуйский В. Н., Каневский Ю. С., Пиневич М. М. Прикладная теория цифровых автоматов. Киев : Вища шк. Головное изд-во, 1987. 375 с.
4. Valeriy Zadiraka, Yaroslav Nykolaichuk. Methods of effective protection of information flows. Ternopil : Terno-graf, 2014. 308 p.
5. Николайчук Я. М., Возна Н. Я., Пітух І. Р. Проектування спеціалізованих комп'ютерних систем : навчальний посібник. Тернопіль : ТзОВ «Тернограф», 2010. 302 с.

HIGH-PERFORMANCE MATRIX AND STREAM MULTIPLIERS OF DIGITAL DATA

The algorithms and structures of high-performance matrix-stream multipliers of multi-bit binary numbers are proposed, in which components are used with minimal characteristics of time, hardware and structural complexity. The algorithm of matrix execution of multiplication operations according to the structure of the Brown multiplier is developed, which implements the addition operation in a one-bit full binary adder and the formation of transfers at a minimum reachable time interval — one micro-cycle. The algorithm and structure of the current matrix switch with a high level of deployment of computational operations are developed, in the process of loading codes of transitive binary numbers occurs in parallel with procedural matrix recount and coincidence of results. Compared to known structures, stream multipliers can significantly reduce the number of in/out of microelectronic crystals that implement operations for multiplying multi-bit binary numbers.

Key words: *matrix-flow multipliers, paraphase structure of Brown, maximum performance, parallelization of computational operations.*

Одержано 31.01.2019